

# Technologie výroby číslicových obvodů

**Studijní materiál pro předmět Architektury počítačů**

Ing. Petr Olivka  
katedra informatiky FEI VŠB-TU Ostrava  
email: petr.olivka@vsb.cz

Ostrava, 2010

# 1 Technologie výroby číslicových obvodů

Podle technologie výroby rozlišujeme číslicové obvody na hybridní a monolitické. Hybridní integrované obvody obsahují pasivní a aktivní součástky, které se připevní na jednu nosnou destičku, vzájemně propojí a zapouzdří.

V monolitických integrovaných obvodech (tzv. čípech) jsou všechny potřebné prvky soustředěny na jedné destičce polovodiče, nejběžněji křemíku. Technologickým postupem jsou na této destičce vytvořeny jak aktivní, tak pasivní prvky i vzájemné propoje součástek. Naprostá většina elektronických číslicových systémů je vyráběna monolitickou technologií. Hybridní obvody se používají většinou jen u převodníku číslo–analog a analog–číslo. Proto se v dalším textu soustředíme na monolitické integrované logické systémy a popíšeme si jejich vlastnosti.

Podle stupně integrace rozlišujeme:

- **SSI (Small Scale Integration)** – malá integrace do 30 prvků
- **MSI (Middle Scale Integration)** – střední integrace do 1000 prvků
- **LSI (Large Scale Integration)** – velká integrace do 100 tisíc prvků
- **VLSI (Very Large Scale Integration)** – do 10 milionů prvků v pouzdře.
- **ULSI (Ultra Large Scale Integration)** – do 1 miliardy prvků v pouzdře.
- **GSI (Gigantic Scale Integration)** – nad 1 miliardu prvků v pouzdře.

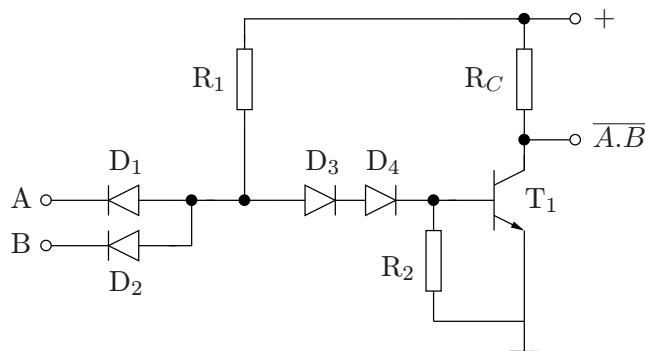
## 2 Bipolární technologie

Jsou to technologie, které ke své činnosti používají bipolárních tranzistorů. Oproti unipolárním technologiím se jedná, až na některé výjimky, o rychlejší obvody, nedosahující tak velkého stupně integrace. Bipolární obvody mají také větší spotřebu a jsou levnější než unipolární technologie.

### 2.1 Technologie DTL

Jde o obvody, které se dnes už téměř nepoužívají. Na obrázku 1 je zapojení integrovaného obvodu realizujícího funkci NAND. Vstupní diody spolu s odporem  $R_1$  pracují jako diodový logický součin, jehož výstupní funkci neguje tranzistor  $T_1$ , zapojený jako invertor.

Jsou-li všechny vstupy na úrovni logické 1, tranzistor  $T_1$  se přes posouvací diody  $D_3$  a  $D_4$  otevře a na výstupu obvodu je úroveň logické 0. Přivedením úrovně logické 0 alespoň na jeden vstup obvodu budou anody



Obrázek 1: Technologie DTL - obvod NAND

vstupních diod  $D_1$  a  $D_2$  téměř v nulovém potenciálu a tranzistor  $T_1$  se uzavře. Na výstupu obvodu bude úroveň logické 1. Tzv. posouvací diody  $D_3$  a  $D_4$  zajišťují dokonalé uzavření tranzistoru a zvyšují šumovou imunitu obvodu tím, že svým prahovým napětím zvyšují nutnou napěťovou úroveň pro otevření tranzistoru.

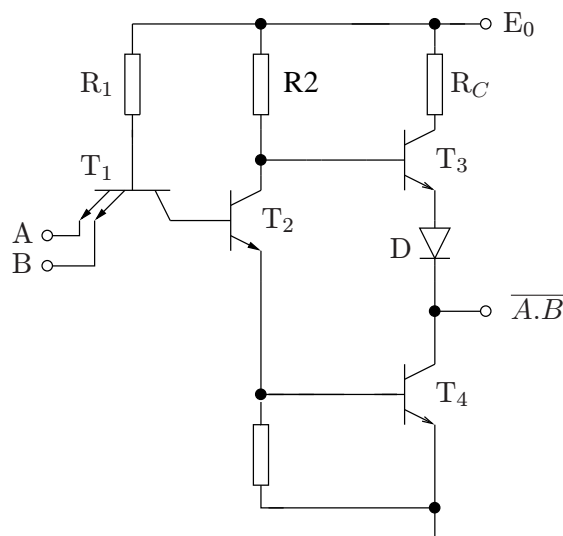
Napájecí napětí těchto obvodů bývá asi  $5\text{ V}$ , logický zisk 10, šumová imunita asi  $0,8\text{ V}$ , zpoždění 10 až  $30\text{ ns}$ .

## 2.2 Technologie TTL

Základ tranzistorových obvodů s tranzistorovou logikou (Tranzistor Tranzistor Logic) tvoří tranzistor s vícenásobným emitorem, který umožňuje realizovat logické funkce. Při popisu funkce lze vycházet z určité analogie s obvodem DTL. Přechody báze–emitor vstupního tranzistoru nahrazují diody součinného hradla obvodu DTL, zatímco přechod báze–kolektor nahradí posouvací diody. Na obrázku 2 je základní hradlo NAND použité v obvodu MH7400. Oproti obvodům DTL jsou však mnohem příznivější podmínky na bázi tranzistoru  $T_2$ .

Je-li na jeden emitor vstupního tranzistoru  $T_1$  přivedena úroveň logické 0, začne tímto emitorem protékat proud v předním směru, tranzistor  $T_1$  se otevře a z báze tranzistoru  $T_2$  je velmi rychle odveden přebytečný náboj přes malou impedanci otevřeného tranzistoru  $T_1$ . Tak je dosaženo velké spínací rychlosti při zavírání tranzistoru  $T_2$ . Připojením všech emitorů vstupního tranzistoru na úroveň logické 1 bude tranzistor  $T_1$  pracovat v inverzním režimu, tzn. zamění se funkce emitoru a kolektoru. Otevře se tranzistor  $T_2$ , a to spojením báze přes otevřený přechod báze–kolektor tranzistoru  $T_1$ , polarizovaným nyní v propustném směru, a přes odpor  $R_1$  se zdrojem napájecího napětí.

Výstupní obvod je zapojen jako sériový dvojčinný stupeň. Je buzen tranzistorem  $T_2$ , zapojeným jako fázový invertor. Nebude-li  $T_2$  vybuzen (tj. je-



Obrázek 2: Elementární prvek TTL obvodů

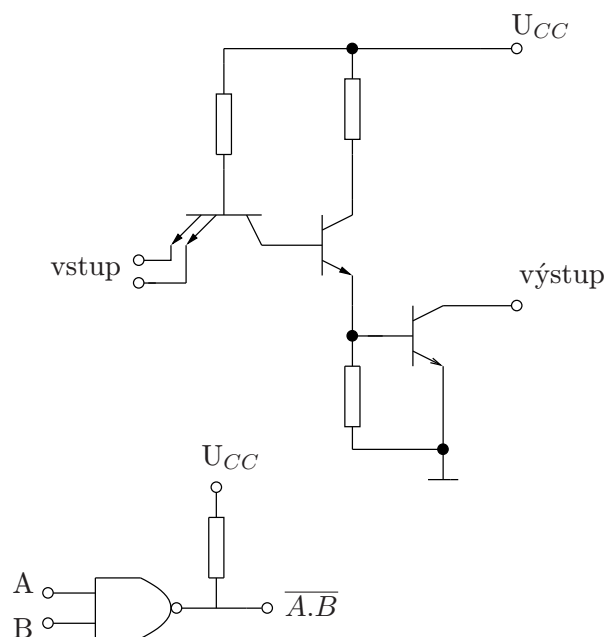
den ze vstupů má napětí  $0\text{ V}$ ), zůstává  $T_2$  a tím i  $T_3$  zavřený.  $T_3$  tak dostává kladné předpětí a otevírá se – na výstupu je kladné napětí (tj. úroveň logické 1). Je-li na všech vstupech tranzistoru  $T_1$  úroveň logické 1, tranzistor  $T_2$  je buzen a otevře se. Na emitoru  $T_2$  vzroste napětí tak, že  $T_4$  se otevře, zatímco na kolektoru  $T_2$  potenciál klesne tak, že předpětí pro  $T_3$  z důvodu úbytku napětí na diodě  $D$  nestačí  $T_3$  vybudit a  $T_3$  se uzavře. Na výstupu se přes  $T_4$  objeví potenciál blízký  $0\text{ V}$  (úroveň logické 0).

V okamžiku změny hodnoty výstupní funkce obvodu jsou po velmi krátkou dobu otevřeny oba tranzistory  $T_3$  a  $T_4$ . Odpor  $R_C$  v tomto případě omezuje maximální hodnotu kolektorového proudu výstupního stupně. Dioda  $D$  zajišťuje svým prahovým napětím spolehlivé uzavření tranzistoru  $T_3$ .

V ustáleném stavu je otevřen vždy pouze jeden výstupní tranzistor, takže při malém zatížení zdroje je dosaženo malé impedance jak pro úroveň logické 0, tak i pro úroveň logické 1. Výstup se velmi dobře chová při kapacitní zátěži a nízká výstupní impedance je vhodná i z hlediska parazitních signálů na činnost obvodu. To je velká přednost oproti obvodům DTL, jejichž výstupní impedance je v době uzavření tranzistoru na výstupu obvodu určena pouze jeho kolektorovým odporem.

Takovéto obvody ale nejdou použít v kaskádě bez oddělení (obvody se navzájem ovlivňují), proto se pro paralelní propojení používá obvod s otevřeným kolektorem. Zapojení hradla s otevřeným kolektorem je na obrázku 3.

Principiální funkčnost obvodu je stejná jako obvod na obrázku 2, ale na výstupu logického členu je tranzistor s otevřeným kolektorem, tj. chybí



Obrázek 3: TTL s otevřeným kolektorem

rezistor  $R$ . Tento rezistor se pak musí připájet jako diskretní součástka. Proto se také obvodům s otevřeným kolektorem říká montážní obvody. Propojením několika výstupů s otevřeným kolektorem přes vnější odpor vznikne pak funkce montážního AND. Napěťové úrovně jsou uvedeny v tabulce 1.

	vstup	výstup
$H_{min}$	2,0 V	2,4 V
$L_{max}$	0,8 V	0,4 V

Tabulka 1: Napěťové úrovně technologie TTL

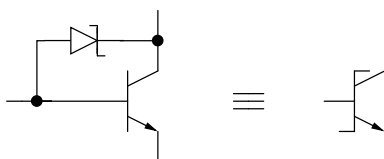
Zpoždění logického signálu je okolo  $20 \text{ ns}$ , což je vzhledem k nízkému příkonu asi  $10 \text{ mW}$  velmi vyhovující. Obvody TTL mají také dobrou šumovou imunitu  $0,4 \text{ V}$  a jsou odolné proti statické elektřině.

Kromě samotné technologie TTL existují ještě její varianty LTTL (Low power TTL) a HTTL (High speed TTL). LTTL má snížený příkon asi  $2 \text{ mW}$ , ale to na úkor zpoždění signálu tj. asi  $35 \text{ ns}$ . Technologie HTTL má zpoždění signálu asi  $13 \text{ ns}$ , ale příkon okolo  $20 \text{ mW}$ .

## 2.3 Technologie STTL

S-TTL je v podstatě rovněž varianta technologie TTL, u které se však podařilo dosáhnout příznivějšího poměru mezi rychlostí a příkonem. Pro zvýšení spínací rychlosti se užívají Schottkyho diody<sup>1</sup> podle zapojení na obrázku 4, které zabraňují přesycení.

Protože je na diodě v propustném směru podstatně menší napětí než na přechodu mezi kolektorem a bází tranzistoru, paralelním připojením Schottkyho diody k tomuto přechodu se zabrání nasycení tranzistoru a tím se sníží doba jeho zpoždění. Zpoždění technologie STTL je tak oproti TTL poloviční, ale příkon je dvojnásobný.



Obrázek 4: Doplnění tranzistoru o Schottkyho diodu

Vylepšením technologie STTL vznikly technologie LSTTL, ASTTL a ALSTTL.

LSTTL (Low Power STTL) je ve skutečnosti DTL (diodová logika), kombinovaná s tranzistorovou výstupní kaskádou z obvodů TTL. U této technologie se podařilo dosáhnout nižšího příkonu na úkor rychlosti.

Technologie ASTTL je nejrychlejší technologií z řady obvodů TTL a na svou rychlost má poměrně malý příkon.

Nejpopulárnějšími se však staly obvody technologie ALSTTL (Advanced low STTL) a FTTL (Fast STTL), které mají výborné spínací a příkonové vlastnosti oproti ostatním a používají se při stavbě rychlých a relativně výkonných pomocných obvodů, případně členů řezových procesorových stavebnic.

Funkční vlastnosti jednotlivých variant technologie TTL jsou stejné, proto jsou také všechny technologie slučitelné. Obvody se však liší především svojí rychlostí a spotřebou. Srovnání vlastností jednotlivých technologicky odlišných obvodů TTL vidíme v tabulce 2.

Varianty technologií TTL umožňují stupeň integrace nejvýše do 500 elementárních logických obvodů na čip. Klasická technologie TTL je dnes už zastaralá používaná jen ve starých zapojeních.

<sup>1</sup>Na rozdíl od běžné diody s přechodem PN v propustném směru tvoří prakticky celý přední proud Schottkyho (čti šotkyho) diody elektrony, protékající z polovodiče do kovu. V Schottkyho diodě proto nevzniká nadbytečný náboj a zotavovací doba vlivem nadbytečného náboje odpadá.

technologie	zpoždění [ns]	odběr členu [mW]	zatížit. výstupu [mA]	odběr vstupu [mA]
TTL	22	10	16	1,6
HTTL	13	22	30	3
LTTL	35	2	8	0,8
STTL	5	20	50	5
LSTTL	20	3	8	0,8
ASTTL	1,7	8	7	0,7
ALSTTL	15	2	4	0,4

Tabulka 2: Srovnání vlastností jednotlivých technologií TTL

## 2.4 Technologie IIL

Jedná se o velmi rychlou technologii s malým příkonem (méně než  $0,05 \text{ mW}$  na logický člen), která umožňuje dosahovat velké hustoty integrace. Navíc velikostí napájecího proudu lze měnit příkon i rychlost v rozsahu až několika dekád.

Obrázek 5 znázorňuje zapojení a technologické uspořádání invertoru. Vertikálně uspořádaný tranzistor PNP jako injektor vytváří konstantní proud, protože bez ohledu na druh signálu na vstupu je báze vždy zápornější než emitor, a tento tranzistor je tedy vždy otevřen. Je-li na vstupu nulový potenciál (logická 0), prochází injekční proud směrem k tomuto vstupu a tranzistor  $T_2$  s vícenásobným kolektorem je uzavřený. Při kladném potenciálu (logická 1) na vstupu, prochází injekční proud směrem do báze tranzistoru s vícenásobným kolektorem, ten se otevře a vytváří na výstupu úroveň logické 0. Z uvedeného je zřejmé, jak jednoduše lze vytvořit logický člen s minimem součástek. Napájecí napětí může být podle druhu zapojení od  $0,8 \text{ V}$  do  $15 \text{ V}$ .

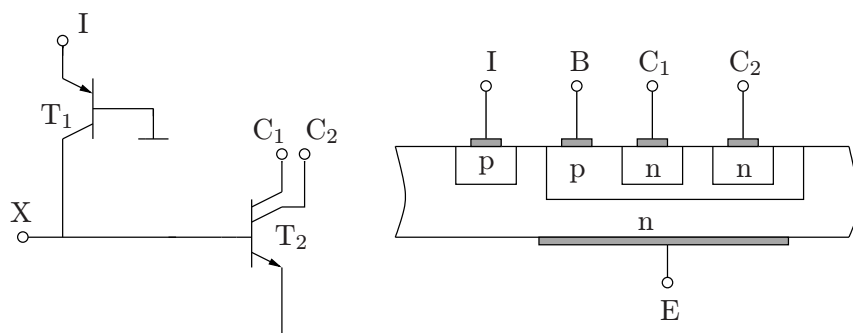
Pokud se použije izolace mezi sousedními hradly, vznikne tak technologie IIIL – izolovaná integrovaná injekční logika. Obě technologie jsou dobře slučitelné s TTL obvody, používají se pro výrobu velkokapacitních RWM a pro výrobu mikroprocesorů.

## 2.5 Technologie ECL

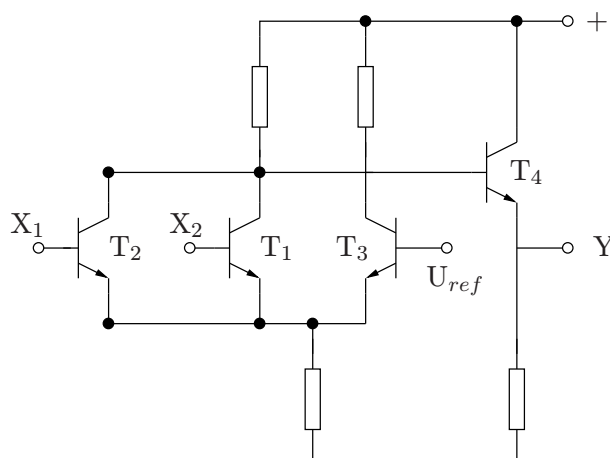
Emitorově vázané obvody (ECL – Emitter Coupled Logic) jsou založeny na zcela odlišném principu než obvody TTL.

Obvody využívají zapojení tranzistorů ( $T_1, T_2$ ) s emitorovou vazbou podle obrázku 6, ve kterých nemůže dojít k nasycení. Na bázi tranzistoru  $T_3$  je přivedeno referenční napětí. Zdroj referenčního napětí musí být dostatečně stabilní, aby se nesnížila šumová imunita obvodu.

Tranzistory  $T_1$  a  $T_2$  pracují na principu spínání proudů, proto se tyto



Obrázek 5: Struktura základní buňky I<sup>2</sup>L – invertor a jeho zapojení



Obrázek 6: Elementární prvek obvodů ECL

obvody označují taky jako CML (Current Mode Logic) proudové spínací obvody, přičemž k těmto tranzistorům může být připojeno více tranzistorů paralelně. Je-li na všech vstupech tranzistorů  $T_1$  a  $T_2$  úroveň logické 0, na výstupu se objeví úroveň logické 1. Je-li alespoň jeden ze vstupů na úrovni logické 1 na výstupu se objeví úroveň logické 0. Zapojení tedy představuje funkci NOR. Pro dosažení malého výstupního odporu bývá na výstupu často připojen emitorový sledovač  $T_4$ .

Protože je u těchto obvodů vyloučen stav nasycení a navíc jsou zpracovávány jen malé změny napětí, je dosaženo velmi krátkých spínacích dob. Vzhledem k malým změnám výstupního napětí a s tím spojenému požadavku, že se napájecí napětí nesmí téměř měnit, mají tyto obvody poměrně velkou spotřebu energie (stále prochází proud). Proto se obvody ECL rozšířily pouze tam, kde je nutno zpracovat signály o velké frekvenci. Dosahuje se zpoždění 1 ns a stupně integrace srovnatelného s TTL obvody. Obvody



ECL mají malou šumovou imunitu a nejsou přímo slučitelné s TTL obvody.

### 3 Unipolární technologie

S unipolárními technologiemi je spojen celý dosavadní bouřlivý vývoj osobních počítačů. Jedině díky velmi vysoké integraci dosahované pomocí těchto technologií je možné vyrábět dnešní personální počítače. U těchto technologií se přenosu náboje účastní (narozdíl od bipolárních technologií) pouze jeden druh nosičů náboje, a to buď elektrony nebo díry.

#### 3.1 Unipolární tranzistory

Dříve než přistoupíme k popisu jednotlivých unipolárních technologií, nastíníme rozdělení unipolárních tranzistorů podle principu jejich funkčnosti.

Unipolární tranzistor je známější pod názvem tranzistor řízený polem (field effected transistor), krátce označený FET. Jeho princip je založen na myšlence, že hloubka vniku elektrického pole do látky je úměrná převrácené hodnotě konduktivity  $\gamma$ , tj. čím menší je konduktivita látky, tím lépe do ní může elektrické pole vniknout. Izolanty jsou však také nevhodné, protože jimi neprochází elektrický proud. Dotujeme-li však polovodičový materiál ne příliš vysoko, tj.  $\gamma$  zůstává poměrně malá, prochází sice malý proud, ale elektrické pole může příznivě vnikat do látky, a tím i tento proud ovlivňovat.

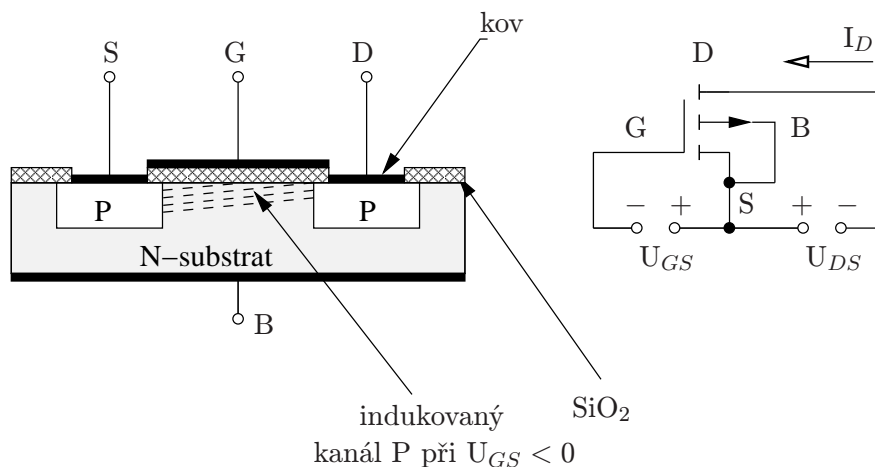
Podle toho jak je tato proudová dráha, obecně nazývaná kanál, dotována, hovoříme o tranzistoru řízeném polem s kanálem N nebo P. Technicky jsou dvě možnosti, jak nechat působit elektrické pole na proudový kanál, a to buď přes závěrnou vrstvu přechodu nebo přes zvláštní izolační vrstvu. Pak existuje FET s přechodovým hradlem označovaný také JFET (junction FET) nebo na druhé straně FET s izolovaným hradlem označovaný IGFET (insulated-gate-FET), který se ještě rozděluje na ochuzovací a obohacovací typ.

FET má obecně tři elektrody, které jsou jsou označovány S (source)–emitor, D (drain)–kolektor a G (gate)–hradlo. Podle toho, která elektroda se používá společně pro vstup a výstup, mluvíme o zapojení se společným emitorem, kolektorem a hradlem. Nejobvyklejším je zapojení se společným emitorem.

Pro řídicí techniku je v současnosti nejdůležitějším tranzistor typu IGFET s izolační vrstvou tvořenou vrstvou oxidu označovaný jako MOSFET (Metal Oxide Semiconductor FET) a pro číslicové obvody se používá obohacovací typ, proto se v dalším textu zaměříme na něj.

#### MOSFET s obohacováním kanálu

Struktura tranzistoru MOSFET s obohacováním kanálu P a jeho schématické znázornění je na obrázku 7.



Obrázek 7: Struktura tranzistoru MOS s obohacováním kanálu P

Princip činnosti spočívá ve vytváření a rozšiřování vodivého kanálu mezi emitorem S a kolektorem D vlivem příčného elektrického pole vyvolaného přivedením napětí na hradlo G. Tento typ MOSFETu, ať už s kanálem P nebo N, díky vysokému výstupnímu odporu, malé spotřebě, značné odolnosti proti rušivým signálům a výborným spínacím vlastnostem, hraje primární úlohu v technice číslicových integrovaných obvodů.

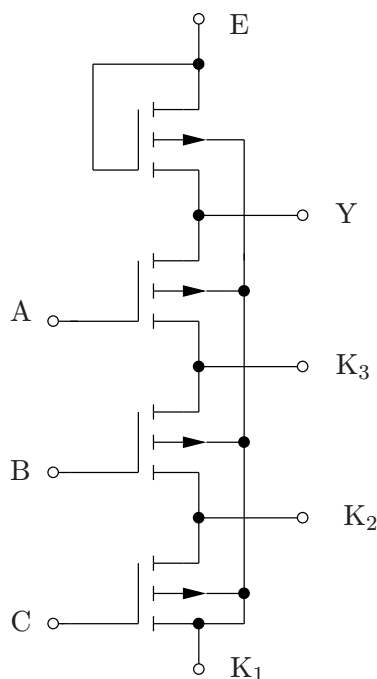
Činnost obohacovacího typu MOSFETu s kanálem N je analogická s tím, že polarita proudů a napětí budou opačné (kladné) a šipka ve schematické značce bude mít opačný směr.

### 3.2 Technologie PMOS a NMOS

U obvodů PMOS (Positive Metal Oxid Semiconductor) je základním prvkem unipolární tranzistor MOS s kanálem typu P. Na obrázku 8 je univerzální logický člen, provedený technikou MOS s kanálem P. Spojíme-li svorku  $K_1$  se zemí, jsou tři tranzistory zapojeny v sérii, takže na výstupu Y bude hodnota logická 0 jen tehdy, jestliže všechny tři tranzistory budou vybuzeny, tj. vznikl logický člen NAND.

Spojíme-li svorku  $K_2$  s Y a svorky  $K_1$  a  $K_3$  se zemí, zapojíme tři tranzistory paralelně. Na výstupu Y bude logická hodnota 0, jestliže bude vybuzen alespoň jeden ze tří tranzistorů, tj. vznikl logický člen NOR.

Díky tomu, že jsou tranzistory řízeny elektrickým polem a nikoliv elektrickým proudem jako u technologie TTL, jsou u nich značně redukovány nároky na spotřebu elektrické energie. Avšak vzhledem k nízkým rychlostem spínání a špatné slučitelnosti s TTL obvody (napájecí napětí jsou záporná  $-10\text{ V}$  až  $-30\text{ V}$  a pracuje se tedy se zápornou logikou) se tato technologie téměř nepoužívá. Její použití je typické jen u první generace mikroprocesorů



Obrázek 8: Univerzální logický člen PMOS

a jejich paměti.

Obvody NMOS (Negative Metal Oxid Semiconductor) jsou analogií obvodů PMOS, avšak jejich základním prvkem je unipolární tranzistor MOS s kanálem typu N, který je díky pohyblivějším nosičům náboje v principu asi třikrát rychlejší než tranzistor MOS s kanálem typu P.

Zvětšování integrace a s tím spojeno zmenšování rozměrů, parazitních kapacit a vzdáleností velmi brzy vedlo ke zvyšování rychlosti obvodů a to mnohonásobně ve srovnání s existujícími obvody PMOS. Uvážíme-li navíc snadnou slučitelnost s obvody TTL a jediné napájecí napětí (+5 V), je jasné, proč je technologie NMOS dnes základní a proč je výchozí i pro mnohé další výrobní postupy. Tato technologie byla použita pro výrobu u mikroprocesorů 2. a 3. generace a pro výrobu velkokapacitních RWM a ROM.

### 3.3 Technologie HMOS

Technologie HMOS je založena na skutečnosti, že součin zpoždění a ztrátového výkonu (který obecně charakterizuje integrovaný obvod) je přibližně úměrný třetí mocnině rozměru základní struktury. To znamená, že při zachování ztrátového výkonu lze zmenšením struktury o 50% dosáhnout osminásobného zrychlení činnosti nebo při stejné rychlosti se může osmkrát zmenšit energetický rozptyl. Typické zpoždění členu je pak 1 ns.

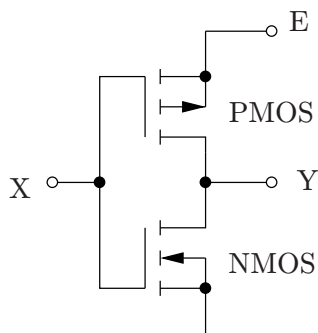
Při zvyšování rychlosti, má však zmenšování rozměrů hradla i vedlejší nepříznivé efekty, jako zvyšování intenzity elektrického pole při stejném napájecím napětí, pronikání elektronů do řídicí elektrody, podpovrchové průrazy atd., které snižují spolehlivost výrobků.

Některé z těchto potíží by bylo možné potlačit snížením napájecího napětí ze standardních 5 V na asi 3 V. To je však nežádoucí, a tak se u zdokonalených technologií HMOSII a HMOSIII problémy řeší tím, že se některé parametry neupravují faktorem S, ale faktorem a.S, získaným náročnými optimalizačními výpočty. U technologie HMOSII se tak zpoždění logického členu redukuje na 0,4 ns a u HMOSIII až na 0,2 ns.

Technologie HMOS i její vylepšené varianty se uplatňují při výrobě monolitických mikroprocesorů s desítkama tisíc až půl milionem tranzistorů na čipu (mikroprocesory 3. generace) a také pro výrobu moderních pamětí RWM-RAM.

### 3.4 Technologie CMOS

CMOS (Complementary MOS) je technologie, která vychází z použití obou tranzistorů NMOS i PMOS. Oba druhy tranzistorů MOS jsou obohacovacího typu a střídají se ve funkci řízeného zatěžovacího rezistoru MOS a spínacího tranzistoru.

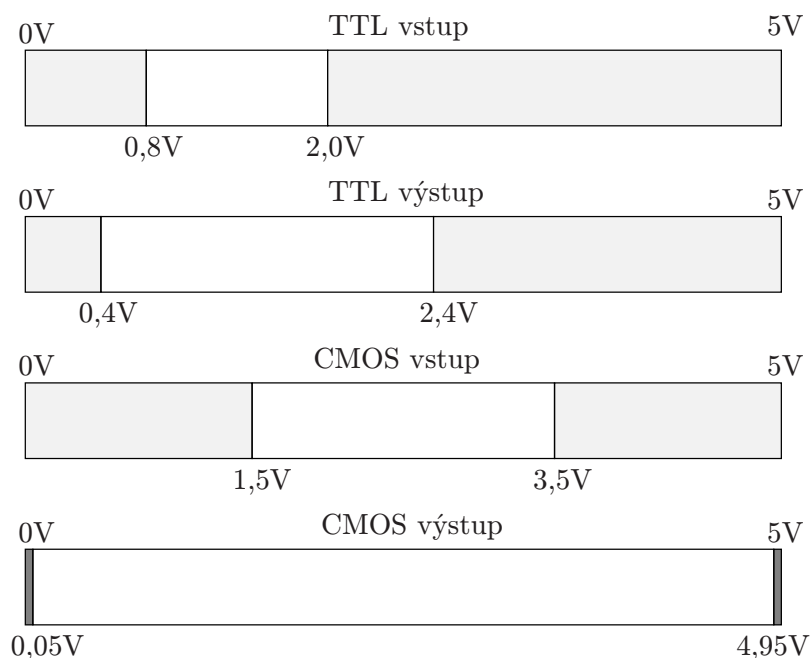


Obrázek 9: Zapojení invertoru technologie CMOS

Funkce invertoru je patrná z obrázku 9. Při signálu logické 1 na vstupu X (kladná logika) je vodivý (zapnutý) tranzistor NMOS a tranzistor PMOS je vypnutý. Na výstupu Y je logická 0. Při úrovni logické 0 na vstupu X je tranzistor PMOS zapnutý (vodivý) a tranzistor NMOS je vypnutý. Na výstupu Y je úroveň logické 1.

Tedy tranzistory fungují jako spínače, které přepínají výstup buď na napájecí napětí E nebo k zemi. Takže pokud nezatěžujeme výstup takového obvodu, je jeho spotřeba v klidovém stavu prakticky nulová. Výstup obvodu má relativně malou impedanci v obou stavech (řádově stovky ohmů). Ob-

vody CMOS mohou mít napájecí napětí v rozmezí 3 až 16 V. Jednotlivé napěťové úrovně jsou zachyceny na obrázku 10.



Obrázek 10: Napěťové úrovně CMOS ve srovnání s TTL

Díky extrémně nízkému příkonu, dobré šumové imunitě (45% napájecího napětí), slučitelnosti s obvody TTL, širokému rozmezí napájecího napětí, velkému rozsahu pracovních teplot a velkému logickému zisku, došlo k obrovskému rozšíření obvodů CMOS a k jejich převládnutí na trhu. Tato technologie je dosud nejpoužívanější technologií ze všech. Srovnání probíraných technologií spolu s technologií CMOS je uvedeno v tabulce 3.

pozice	rychlost	hustota integrace	příkon
1	ECL(velká)	$I^2L$ (vysoká)	$I^2L$ (nízký)
2	TTL	HMOS	CMOS
3	HMOS	NMOS	NMOS
4	NMOS	CMOS	HMOS
5	$I^2L$	TTL	TTL
6	CMOS (nízká)	ECL (nízká)	ECL (vysoký)

Tabulka 3: Porovnání vlastností bipolárních a unipolárních technologií

Tyto obvody se používají pro výrobu monolitických mikroprocesorů, pamětí a dalších prvků obvodů LSI, VLSI a ULSI, ale i pro výrobu logických

členů obvodů SSI a MSI.

### 3.5 Technologie SOI a SOS

SOS (Silicon On Sapphire) je označení celé skupiny technologií, které vycházejí z toho, že základem čipu je destička syntetického safíru. Hlavní předností safírové podložky je zmenšení parazitních kapacit až třikrát, a tím potlačení parazitních vazeb i dosažení vysokých spínacích rychlostí srovnatelných s parametry bipolárních obvodů a hustotou až čtyřikrát větší než u obvyklé technologie CMOS.

I když mikroprocesory a paměti RWM vyvinuté např. u firmy Hawlett Packard technologií SOS mají vynikající vlastnosti, brání jejich rozšíření vysoká cena safíru. Ta je totiž asi pětikrát vyšší než cena křemíku, a proto se začla vyvíjet nová technologie SOI (Silicon On Insulator). U této technologie je izolantem křemíková destička pokrytá oxidem křemičitým ( $\text{SiO}_2$ ), na němž se vytvoří ostrůvky polovodičových struktur, které jsou od sebe dokonale izolované. Protože  $\text{SiO}_2$  je dobrý izolant a jeho výroba je poměrně jednoduchá (zahříváním křemíku v oxidační atmosféře), je tato technologie také nepoměrně levnější než SOS.

### 3.6 Technologie FAMOS a FLOTOX

Technika plovoucího hradla (gate) s lavinovou injekcí nosičů - FAMOS (Floating-gate Avalanche-injection MOS), která vznikla u firmy Intel, je nejrozšířenější technologií pro výrobu elektricky programovatelných pamětí EPROM.

Základem paměťové buňky je tranzistor MOS s řídicí elektrodou (hradlem z polykrystalického křemíku), která není k ničemu připojena, neboť je ze všech stran izolována oxidem křemičitým.

Nejčastěji se při mazání informace z paměti působí na čip ultrafialovým ionizujícím zářením o vlnové délce kolem  $253 \mu\text{m}$ . Elektrony v ozářené řídicí elektrodě absorbují fotony záření a získávají dostatečnou energii k překonání bariéry v opačném směru. Potenciály hradla a emitoru se tak vyrovnávají, zruší (vymaže) se obsah paměti FAMOS a tranzistor FAMOS se uvede do původního vypnutého (nevodivého) stavu. Tím je paměť opět připravena k dalšímu programování.

Při každém mazání informace ozářením dochází k mírné degradaci parametrů paměťové buňky FAMOS. Pokud však je mazání šetrné (např. studeným utrafiálním zářením), nevybočí parametry paměti EPROM z tolerancí ani po několika desítkách cyklů mazání-programování.

Paměťová polovodičová struktura FLOTOX (FLOating-gate Tunnel OXide cell), která je modifikací technologie FAMOS, je používána pro tvorbu paměťových buněk mikroelektronických vymazatelných a programovatelných pevných pamětí EEPROM (Electrically Erasable and Programmable ROM).

Při dalším rozvoji této technologie se uplatňují stejné myšlenky zjemňování struktury čipů, jako u přechodu od klasické technologie NMOS k technologii HMOS. Výsledkem je technologie HMOS-E pro výrobu pamětí EPROM a EEPROM firmy Intel.

### 3.7 Technologie CCD

Pro součástky vyrobené technologií CCD (Charge Coupled Devices) není typická zesilovací činnost základních obvodových členů, ale přenos náboje na parazitních kapacitách soustavou elektrod vytvořených na strukturách MOS.

Na tomto principu se vytvářejí posuvné registry, ale sekvenční paměti z nich vyrobené nejsou energeticky nezávislé, proto se v mikropočítačové technice neuplatňují. Součástky CCD mají rozsáhlejší použití v analogové technice jako paměti ve snímačích obrazu pro televizi a v monolitických plochých displejích, kde jsou zviditelněny jejich výhody, jako je malá spotřeba energie a malé rozměry.

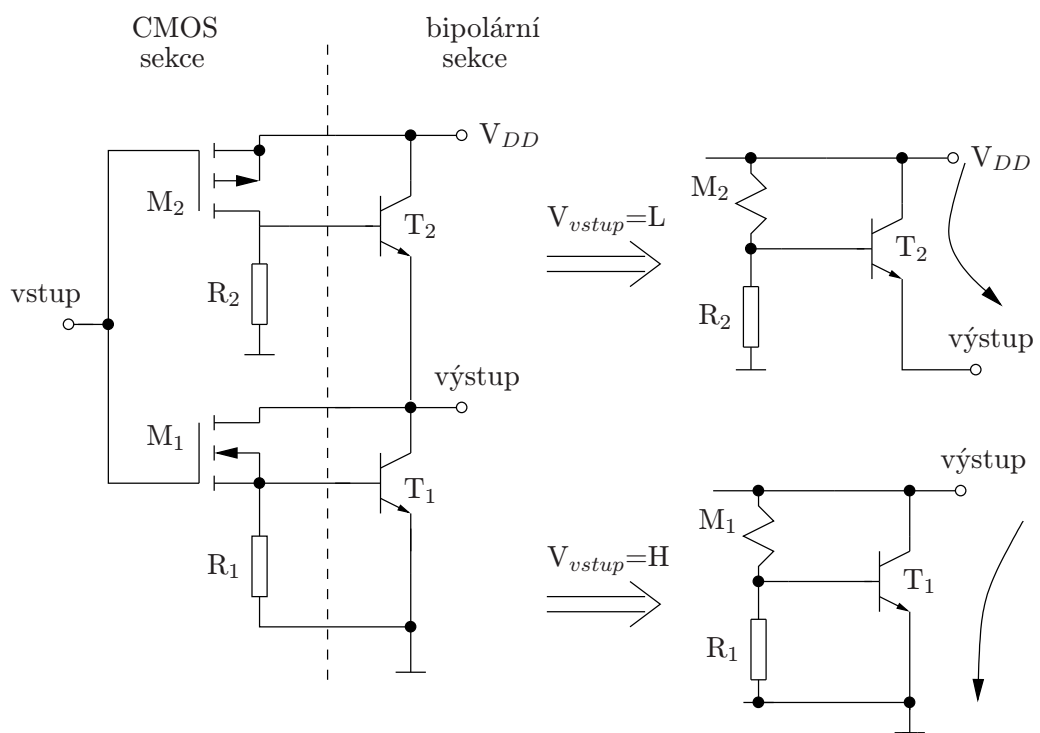
## 4 Technologie BiCMOS

U technologie BiCMOS se kombinuje vysoká hustota integrace technologie CMOS s dobrými vlastnostmi v řízení proudu bipolárních technologií. Základní zapojení invertoru technologie BiCMOS je na obrázku 11. Pokud je na vstupu úroveň logické 1, NMOS tranzistor  $M_1$  je vodivý a způsobí tak otevření tranzistoru  $T_1$ , zatímco tranzistory  $M_2$  a  $T_2$  jsou uzavřeny a na výstupu se tak objeví úroveň logické 0. Na druhé straně úroveň logické 0 na vstupu způsobí otevření tranzistoru  $M_2$  a  $T_2$ , zatímco tranzistory  $M_1$  a  $T_1$  budou uzavřeny a na výstupu bude úroveň logické 1. Tedy v ustáleném stavu nejsou nikdy otevřeny oba tranzistory  $T_1$  a  $T_2$  současně, čímž se udržuje nízký příkon obvodu.

Výsledkem je pak rychlejší struktura než CMOS, obzvláště při funkci za velkých kapacitních zátěží tam, kde jsou tyto zátěže nepředvídatelné. Příkladem toho jsou takové struktury jako paměti a hradlová pole, ve kterých BiCMOS umožňuje zvýšení rychlosti, což je velmi důležité.

Dalo by se argumentovat, že stejných rychlostí lze dosáhnout i technologií CMOS, avšak toto vyžaduje pečlivější optimalizace a typicky dojde k větší spotřebě proudu, navíc je tento postup výroby mnohem dražší a výsledná struktura hradla je mnohem složitější. Výkonový zisk technologie BiCMOS je totiž dosažen spínáním bipolárního výstupního členu, což u technologie CMOS chybí.

Jedná se poměrně o novou technologii, u které se jistě dočkáme dalších zlepšení a zrychlení. V této době je používána nejvíce firmou Intel pro výrobu mikroprocesorů řady Pentium.



Obrázek 11: BiCMOS invertor